PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-211128
(43)Date of publication of application : 20.08.1993

(51)Int.Cl. H01L 21/205
H01L 21/265
H01L 21/027
H01L 27/12
H01L 31/04

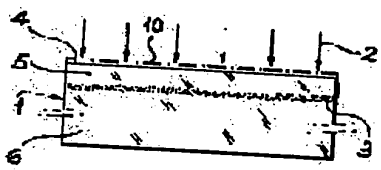
(21)Application number : 04-246594
(22)Date of filing : 16.09.1992

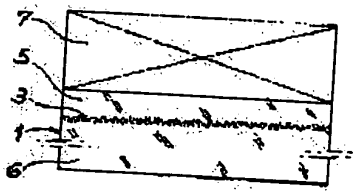
(71)Applicant : COMMISS ENERG ATOM
(72)Inventor : BRUEL MICHEL

(30)Priority
Priority number : 91 9111491 Priority date : 18.09.1991 Priority country : FR

(54) MANUFACTURE OF THIN SEMICONDUCTOR FILM

(57)Abstract:
PURPOSE: To manufacture a uniform quality and thin semiconductor film by maintaining a wafer temperature during hydrogen or rare-gas ion implantation which is lower than a gas discharge temperature and performing heat processing, while a wafer and a reinforcing material are in close contact with each other.
CONSTITUTION: A fine bubble layer 3, which defines a semiconductor wafer 1 as a low region 6 and an upper region 5 constituting a thin film, is caused by implantation to a surface 4 of the wafer 1 by a bombardment 2. Ions are selected from hydrogen gas or rare-gas ions. The wafer temperature during the implantation is maintained to be lower than a temperature for discharging the ion gas from the semiconductor. The flat surface 4 of the wafer 1 is brought into close contact with a reinforcing material 7 of a rigid material layer. By performing heat processing at a temperature of 500° C or higher which is appropriate to separation of the thin film 5 from the bulk of the substrate 6 by a crystal rearrangement in the wafer 1 and pressure in the fine bubbles, and selecting the implantation energy, the thickness of the thin film can be selected within a wide thickness range.





LEGAL STATUS

[Date of request for examination] 28.11.1995
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3048201
[Date of registration] 24.03.2000
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Japanese Laid-Open Patent Publication No. 5-211128/1993 (Tokukaihei 5-211128) (Published on August 20, 1993)

(A) Relevance to claims

The following is a translation of passages related to claims 6-11 of the present invention.

(B) Translation of the relevant passages

[Claims]

[Claim 1]

A method of manufacturing a thin semiconductor material film, ..., characterized by comprising:

a first step in which a microscopic bubble layer, which causes a lower area constituting a bulk of a substrate and an upper area constituting a thin film to be limited within a capacitive section of the wafer, is formed in the capacitive section which is provided at a depth close to an average implementation depth of ions, and the ions are implemented to a surface of the wafer by means of bombardment, the ions being either hydrogen gas ions or rare gas ions, and a temperature of the wafer during the implementation being lower than a maximum

temperature of a semiconductor heated owing to diffusion of a gas generated due to the implementation of the ions;

a second step in which a flat surface of the wafer is caused to be intimately in contact with a reinforcing member which is made of at least one rigid material layer; and

a third step ... in which an assembly of the wafer and the reinforcing member are subjected to heat treatment at a temperature suitable for detaching the thin film from the bulk of the substrate by a rearrangement effect of crystal in the wafer and a pressure from the microscopic bubbles.

[Claim 2]

The method as defined in claim 1, wherein, the implementation of the ions is conducted through at least one material layer whose type and thickness are arranged so as to allow the ions to pass through said at least one material layer.

[Claim 3]

The method as defined in claim 1, wherein, in the semiconductor, group-IV covalent bond is established.

[Claim 4]

The method as defined in any one of claims 1-3, wherein, the semiconductor is silicon, the ions for the

implementation are hydrogen gas ions, a temperature of the gas concerning the implementation is within a range of 20-450°C, and a temperature during the heat treatment in the third step is more than 500°C.

[Claim 5]

The method as defined in claim 2, wherein, the implementation is conducted through a sealed high-temperature oxidized silicon layer, and the reinforcing member is a silicon wafer which is coated with at least one oxidized silicon layer.

[Claim 6]

The method as defined in claim 1, wherein, the second step in which the flat surface of the wafer is caused to be intimately in contact with the reinforcing member is carried out by applying an electrostatic pressure.

[Claim 9]

The method as defined in claim 1, wherein, the reinforcing member is caused to be adhered to the wafer, through a process of precipitating inter-atomic bond.

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平5－211128

(43)公開日　平成５年(1993)８月20日

(51)Int.Cl.[5]	識別記号	庁内整理番号	Ｆ Ｉ	技術表示箇所
Ｈ０１Ｌ 21/205		7454－4M		
21/265				
21/027				
		8617－4M	Ｈ０１Ｌ 21/265	Ｗ
		7352－4M	21/30	３３１ Ｍ

審査請求　未請求　請求項の数９(全 ６ 頁)　最終頁に続く

(21)出願番号　特願平4－246594

(22)出願日　平成４年(1992)９月16日

(31)優先権主張番号　９１　１１４９１

(32)優先日　1991年９月18日

(33)優先権主張国　フランス（ＦＲ）

(71)出願人　592100120
コミサリヤ・ア・レネルジ・アトミク
フランス国、75015・パリ、リユ・ドウ・ラ・フエデラシオン、31／33

(72)発明者　ミシエル・ブリユエル
フランス国、38113・ブレー、プレベール・ニユメロ・９

(74)代理人　弁理士　川口　義雄　（外２名）

(54)【発明の名称】　薄い半導体材料フィルムの製造方法

(57)【要約】
【目的】　単結晶質フィルムの製造に適用可能な薄い半導体材料フィルムの製造方法を提供する。
【構成】　薄い単結晶質又は多結晶質半導体材料フィルムの製造方法は、平面を有する半導体材料ウェーハを、以下の３つの段階：基板のバルクを構成する下方区域６と薄いフィルムを構成する上方区域５とを前記ウェーハの容積部内に限定する微小気泡の層３を前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハ１の面４へのボンバード２による注入の第１段階と、前記ウェーハの平面４を、少なくとも１つの剛性材料層からなる補剛材７と密着させる第２段階と、イオンボンバード２が実施される温度よりも高く、且つウェーハ１中の結晶再配列作用及び微小気泡内の圧力作用により薄いフィルム５と基板６のバックとを分離させるのに十分な温度で前記ウェーハ１と前記補剛材７とのアセンブリを熱処理する第３段階とに付すことを包含することを特徴とする。

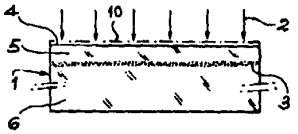


FIG. 2

1

【特許請求の範囲】

【請求項１】　薄い半導体材料フィルムの製造方法であって、半導体材料が完全に単結晶質の場合にはその面が主要結晶面と実質的に平行であり、材料が多結晶質の場合にはその面が全ての粒子に対して同一指数の主要結晶面に対して僅かに傾斜している半導体材料ウェーハを、以下の３つの段階：基板のバルクを構成する下方区域と薄いフィルムを構成する上方区域とを前記ウェーハの容積部内に限定する微小気泡の層をイオンの平均進入深さに近い深さの前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハの面へのボンバードによる注入の第１段階であって、イオンは水素ガスイオン又は稀ガスイオンの中から選択され、注入中のウェーハ温度は、注入イオンにより発生されたガスが拡散により半導体から放出し得る温度よりも低く維持されている第１段階と、
前記ウェーハの平面を、少なくとも１つの剛性材料層からなる補剛材と密着させる第２段階と、
イオンボンバードが実施される温度よりも高く、且つこの段階中に前記補剛材と前記ウェーハの平面とは密着させたままで、ウェーハ中の結晶の再配列作用及び微小気泡内の圧力作用により薄いフィルムと基板のバルクとを分離させるのに適した温度で前記ウェーハと前記補剛材とのアセンブリを熱処理する第３段階とで処理することを包含することを特徴とする方法。

【請求項２】　半導体材料内へのイオンの注入段階が、イオンによって横断され得るような種類及び厚さの１つ以上の材料層を通じて実施されることを特徴とする請求項１に記載の薄いフィルムの製造方法。

【請求項３】　半導体が１Ｖ族の共有結合を有することを特徴とする請求項１に記載の薄いフィルムの製造方法。

【請求項４】　半導体がシリコンであり、注入イオンが水素ガスイオンであり、注入ガスの温度が２０～４５０℃であり、且つ第３の熱処理段階の温度が５００℃を超えることを特徴とする請求項１から３のいずれか一項に記載の薄いフィルムの製造方法。

【請求項５】　注入が封入高温酸化シリコン層を通じて実施され、且つ補剛材が少なくとも１つの酸化シリコン層によって被覆されたシリコンウェーハであることを特徴とする請求項２に記載の薄いフィルムの製造方法。

【請求項６】　前記ウェーハの平面を補剛材と密着させる第２段階が、静電圧力を加えることにより実施されることを特徴とする請求項１に記載の薄いフィルムの製造方法。

【請求項７】　補剛材が、蒸発、プラズマ若しくは光子により任意に支援される化学蒸着、又はアトマイゼーションからなる群の中から選択された１つ以上の方法によって付着されることを特徴とする請求項１に記載の薄いフィルムの製造方法。

2

【請求項８】　補剛材が接着性物質によって前記ウェーハに結合されることを特徴とする請求項１に記載の薄いフィルムの製造方法。

【請求項９】　補剛材が原子間結合を促進する処理によってウェーハに付着させられることを特徴とする請求項１に記載の薄いフィルムの製造方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、薄い半導体材料フィルム、好ましくは単結晶質フィルムの製造に適用可能な製造方法に関する。

【０００２】

【従来の技術】単結晶質半導体フィルムの製造には種々の方法があるが、多結晶質材料フィルム又は非晶質材料フィルムの製造が比較的簡単である一方で、単結晶質フィルムの製造が遥かに困難なために、これらの方法の実施がしばしば複雑で、費用がかかることは知られている。

【０００３】単結晶質フィルムの製造に使用されている方法の中には、いわゆる“絶縁体上シリコン”基板の製造に使用されている方法がある。この方法の目的は、フィルムから電気的に絶縁された基板上に位置する単結晶質シリコンフィルムを製造することである。

【０００４】結晶成長ヘテロエピタキシ法により、格子パラメータがシリコンのパラメータに近い他の型の単結晶質基板、例えばサファイア基板（Al_2O_3）又はフッ化カルシウム基板（CaF_2）上に例えば薄いフィルムのシリコン結晶を成長させることができる。（参考文献５を参照）。

【０００５】ＳＩＭＯＸ法（この名称は文献で使用されている）は、基板のバルクから単結晶質シリコンフィルムを分離する酸化シリコン層をシリコン容積部内に設けるために、シリコン基板内への酸素線量の多いイオンの注入を使用している。（参考文献１参照）。

【０００６】他の方法は、化学的又はメカノケミカル的摩耗によるウェーハの薄片化（ｔｈｉｎｎｉｎｇ）の原理を使用している。このカテゴリーで最も成功をおさめた方法は更にエッチストップの原理を使用している。この方法では、必要な厚さが達せられるとすぐにウェーハの薄片化を停止させることができ、このようにして均一な厚さを確保することができる。この方法は例えば、製造が所望されているフィルムの厚さ全体にわたりｎ型基板へのｐ型ドーピングを施し、次いでｎ型シリコンには活性で、ｐ型シリコンには不活性な化学浴で基板を化学腐食させることからなる（参考文献２及び３を参照）。

【０００７】単結晶質半導体フィルムの主要用途は、Ｘ線リソグラフィマスク、センサ、太陽電池及び複数の活性層を有する集積回路の製造のための絶縁体上シリコン基板、自立シリコン膜又は自立炭化シリコン膜である。

【０００８】薄い単結晶質フィルムの種々の製造方法

は、製造手順に関して欠点がある。

【0009】ヘテロエピタキシ法は基板の種類によって制限される。基板の格子パラメータは半導体のパラメータと精密には同一ではないので、フィルムは多数の結晶上の欠陥を有する。更には、これらの基板は高価で、脆く、且つ限定された寸法でのみ存在している。

【0010】ＳＩＭＯＸ法は、非常に線量の多いイオン注入を必要とし、この注入は非常に重く且つ複雑な注入機械を要する。このような機械の出力は制限され、出力を著しく増すことは困難であろう。

【0011】薄片化法は、エッチストップの原理を使用する場合を除いて、均質性及び品質の観点から競合的ではない。不運なことに、このエッチストップの導入により方法は複雑になり、場合によってはフィルムの使用が制限され得る。

【0012】従って、エッチストップがｎ型基板へのｐ型ドーピングによって実施されるならば、フィルム内で製造される任意の電子デバイスはフィルムのｐ型特性に適合させねばならない。

【0013】

【発明が解決しようとする課題】本発明は、選択される半導体とは種類の異なった初期基板も、非常に多い注入線量も、エッチストップをも必要とせずに前述した欠点を克服し得、且つ更に均質で調整された厚さを有するフィルムの製造を可能とする薄い半導体材料フィルムの製造方法に関する。

【0014】

【課題を解決するための手段】この薄いフィルムの製造方法は、半導体材料が完全に単結晶質の場合にはその面が主要結晶面と実質的に平行であり、材料が多結晶質の合にはその面が全ての粒子に対して同一指数の主要結晶面に対して僅かに傾斜している半導体材料ウェーハを、以下の３つの段階：基板のバルクを構成する下方区域６と薄いフィルムを構成する上方区域５とを前記ウェーハの容積部内に限定する微小気泡の層３をイオンの平均進入深さに近い深さの前記ウェーハの容積部に生じる、イオンにより行われる前記ウェーハ１の面４へのボンバード２による注入の第１段階であって、イオンは水素ガスイオン又は稀ガスイオンの中から選択され、注入中のウェーハ温度は、注入イオンにより発生されたガスが拡散により半導体から放出し得る温度より低く維持されている第１段階と、前記ウェーハの平面４を、少なくとも１つの剛性材料層からなる補剛材７と密着させる第２段階と、イオンボンバード２が実施される温度よりも高く、且つこの段階中に前記補剛材と前記ウェーハの平面とは密着させたままで、ウェーハ１中の結晶の再配列作用及び微小気泡内の圧力作用により薄いフィルム５と基板６のバルクとを分離させるのに適した温度で前記ウェーハ１と前記補剛材７とのアセンブリを熱処理する第３段階とで処理することを包含することを特徴とする。

【0015】従って、本発明は、格子を構成する全ての粒子が半導体面に実質的に平行な主要結晶面（該面は全ての半導体粒子に対して同一指数、例えば（１，０，０）を有する）を有するならば、多結晶質半導体材料にも適用される。半導体材料に関しては、ＺＭＲＳＯＩ（ＺＭＲ＝帯－溶融－再結晶化）が挙げられ得る（参考文献４を参照）。注入段階という用語は、１回の注入段階と、異なる線量及び／又は異なるエネルギ及び／又は異なるイオンでの注入の連続とを意味する。

【0016】本発明方法の変形例として、１つ以上の材料層を通じて半導体材料内へのイオン注入を実施するのが有利であり得る。該“封入（ｅｎｃａｐｓｕｌａｔｉｎｇ）”層は、イオンがこの材料層を貫通して、半導体に進入するように選択される。例えば封入層は、より薄い膜を製造するために半導体内へのイオンの進入を抑える手段としても、考えられ得る汚染から半導体を保護する手段としても、又は半導体面の物理化学的状態を調整する手段としても使用され得る。ウェーハを構成する基板がシリコンから製造されるときには、高温酸化シリコンからなり且つ厚さが例えば２５～５００ｎｍの封入層を選択することが有利であり得る。これらの封入層は注入段階後に保持され得るか又は除去され得る。

【0017】本発明では、イオン注入が実施されるウェーハの温度は作業中常に調整され、その結果温度は、注入イオンによって発生されたガスが急速に拡散し且つ半導体から放出する臨界温度よりも低く維持される。例えば該臨界温度はシリコンへの水素注入の場合で約５００℃である。この温度を超えると、微小気泡が形成されないために、この方法は効果がなくなる。シリコンの場合には、２０～４５０℃の注入温度が好ましい。

【0018】ウェーハー補剛材アセンブリの熱処理という第３段階中には、イオン注入によって発生された無秩序に続いての結晶の再配列が生じる。共に第３段階の熱処理によって生じる結晶の再配列とマクロな気泡を生じる気泡の凝集とによってフィルムと基板とが分離される。これらの気泡内の気体圧力の作用下では、半導体面は高い応力を受ける。表面変形及び形成されたマクロ気泡に相当する火ぶくれ状態の生成を避けることが所望されるならば、これらの応力を補償することが重要である。従って、火ぶくれ状態は、マクロな気泡がその最終成長段階に達して互いに凝集する前に、小さく粉々になり得る。従って、連続する半導体フィルムの製造が所望されるならば、熱処理段階中に生じる応力を補償することが必要である。本発明に基づけば、この補償は半導体ウェーハ面と補剛材とを密着させることによって行われる。補剛材の機能は、ウェーハ面との接触及びその機械特性により、マクロな気泡によって発生された応力が補償されることである。従って、半導体フィルムは最終的に盛開するまで、熱処理段階中常に平坦且つ損なわれないままであり得る。

【0019】本発明の基づけば、補剛材の製造方法の選択及び補剛材の種類はフィルムについて考えられる各適用によって決まる。例えば意図される用途が絶縁体上シリコン基板の製造ならば、補剛材は、酸化物層又は窒化物層のような少なくとも１つの誘電層によって被覆されたシリコンウェーハからなることが有利であり得る。補剛材の酸化物は、それからフィルムが製造されるべきウェーハと密着されており、ウェーハは例えば酸化シリコン封入層を任意に有している。

【0020】補剛材について選択された厚さが適当であれば、即ち数マイクロメータ～数十マイクロメータならば、補剛材は蒸発、アトマイゼーション、プラズマ又は光子によって任意に支援され得る化学蒸着のような方法によってウェーハに結合され得るか又はウェーハ上に製造され得る。

【0021】密着という用語は、例えば静電圧力及び／又は付着接触によって補剛材をウェーハ上に押圧することによって得られる接触を意味する。

【0022】従って、本発明の補剛材は更に、補剛材及びウェーハ両方に接着性物質を使用して、又は接着性物質の使用が所望されない場合には補剛材と半導体ウェーハとの原子間結合を助けるために、結合されるべき表面の少なくとも１つを先に製造し且つ任意に圧力の選択を伴う熱処理及び／又は静電処理を実施することにより半導体ウェーハに結合され得る。補剛材は静電圧力によってもウェーハに付着され得る。

【0023】自立膜の製造に関する適用については、補剛材をフィルムから簡単且つ選択的に分離することができるように補剛材の種類を選択することが適切である。参考までに、単結晶質シリコン膜を製造するには、例えば酸化シリコン補剛材を選択することが可能であり、この補剛材はそれから、プロセスの第３の熱処理段階の後にフッ化水素酸浴中で除去される。

【0024】本発明方法の特徴として、第２段階及び第３段階での作業温度の選択は以下の要件に適合せねばならない。ウェーハ上に補剛材を設置するには、第３段階の処理を開始させ得る温度を適用してはならない。このために本発明に基づけば、第３段階の熱処理の温度よりも低い温度でプロセスの第２段階を実施することが必要である。本発明ではこの熱処理は、結晶再配列と気泡の凝集とが効果的に生じる温度で実施されねばならない。例えばシリコンの場合、結晶再配列と気泡の凝集とが適切な動力学で生じ得るには約５００℃を超える温度が必要である。

【0025】本発明方法を実施するに当たって、ボンバードによる注入に使用されるイオンは通常H^+イオンであるが、この選択は限定的であるとみなすべきではない。従って本方法の原理は、分子水素イオン又はヘリウム、ネオン、クリプトン及びキセノンのような稀ガスのイオンを単独で若しくは組み合わせて使用して適用され得る。本発明方法を工業的に適用するには、ＩＶ族半導体が好ましく、例えばシリコン、ゲルマニウム、炭化シリコン及びシリコン－ゲルマニウム合金の使用が可能である。

【0026】

【実施例】添付図面を参照して本発明の非制限的実施例を更に詳細に説明する。

【0027】これから添付図面を参照して説明する実施例は、H^+イオン注入による単結晶質シリコンウェーハ内での薄いフィルムの製造に関する。

【0028】その表面が主要結晶面、例えば（１，０，０）面に相当する単結晶質シリコンウェーハに１５０ｋｅＶでH^+イオン（プロトン）を注入すると、注入線量が少ない（$<10^{16}cm^{-2}$）場合には、図１に示すように深さＲｐで最大濃度を有する深さＰに対する水素濃度プロフィールＣが得られる。シリコン内へのプロトン注入の場合には、Ｒｐは約１．２５マイクロメータである。

【0029】約$10^{16}cm^{-2}$の線量では、注入水素原子は気泡を形成し始め、これらの気泡は表面に平行な面の付近に配分されている。表面の面は主要結晶面に相当し、また結果的に劈開面となる微小気泡面についても同様である。

【0030】$10^{16}cm^{-2}$を超える（例えば$5\cdot10^{16}cm^{-2}$）注入線量では、シリコンを２つの部分に劈開させる気泡と、厚さが１．２マイクロメータの上方フィルム（薄いフィルム）と、基板のバックとの融合を加熱により開始させることが可能である。

【0031】水素注入は有利な例である。何故ならば、シリコン中でのイオンの制動プロセスは事実上イオン化（電子制動）だからである。原子移動による原子核型制動は飛程の最後にのみ生じる。それ故シリコンの表面層では非常に僅かな欠陥だけが生じ、限定された厚さにわたり、気泡が深さＲｐ（最大濃度の深さ）の付近に集中されている。これにより、穏当な注入線量（$5\cdot10^{16}cm^{-2}$）で方法の必要な効率、及び表面層の分離後には粗度の限定された表面を得ることが可能となる。

【0032】本発明方法を使用すると、注入エネルギを選択することにより広い厚さ範囲内で薄いフィルムの厚さを選択することが可能となる。この特性は、注入イオンの原子番号ｚが小さいだけに一層重要である。例えば以下の表は、H^+イオン（ｚ＝１）の異なる注入エネルギに対して得られ得るフィルムの厚さを示している。

【0033】

H^+イオンのエネルギ（ｋｅＶ）	10	50	100	150	200	500	1000
フィルムの厚さ（μｍ）	0.1	0.5	0.9	1.2	1.6	4.7	13.5

図２は封入層１０で任意に被覆された半導体ウェーハ１を示し、該層は、主要結晶面に平行な平面４を通しての

H^+イオンのイオンボンバード2を受けている。面4に平行に微小気泡層3を認めることができる。層3及び面4は薄いフィルム5を限定している。半導体基板6の他の部分は、基板のバルクを構成している。

【0034】図3は、半導体ウェーハ1の面4と密着された補剛材7を示している。本発明の有利な実施例では、材料へのイオン注入は高温酸化シリコン封入層10を通じて行われ、補剛材7は少なくとも1つの誘電層によって被覆されたシリコンウェーハからなっている。

【0035】他の実施例は、半導体材料に補剛材を固定するために静電圧力を使用している。この場合、例えば5000A厚さの酸化シリコン層を有するシリコン補剛材が選択される。ウェーハの平面は補剛材の酸化物と接触させられ、ウェーハと補剛材との間には数十ボルトの電位差が適用される。ここで得られる圧力は数10^5～10^6パスカルである。

【0036】図4は、基板6のバルクから空間8によって離隔された、補剛材7に結合されたフィルム5を示している。

【0037】本明細　は以下の資料を参照している。

【0038】(1) SIMOX SOI for Integrated CircuitFabrication by Hon Wai Lam, IEEE Circuits and Devices Magazine, July 1987.

(2) Silicon on Insulator Wafer Bonding, Wafer Thinning, Technological Evaluations by Haisma, Spierings, Biermann et Pals, Japanese Journal of Applied Physics, vol. 28, no. 8, August 1989.

(3) Bonding of silicon wafers for silicon on insulator by Maszara, Goetz, Caviglia and McKitterick, Journal ofApplied Physic 64 (10) 15 November 1988.

(4) Zone melting recrystallization silicon on insulator technology by BorYeu Tsaur, IEEE Circuits and Devices Magazine, July 1987.

(5) 1986 IEEE SOS/SOI Technology Workshop, September 30-October 2, 1986, South Seas plantation resort and yacht Harbour, Captiva Island, Florida.

【図面の簡単な説明】

【図1】進入深さに対する水素イオンの濃度プロフィールを示すグラフである。

【図2】H^+イオンのボンバードにさらされ且つ注入粒子によって生じた微小気泡層が内部に出現した、単結晶質フィルム源として本発明で使用される単結晶質半導体ウェーハの断面図である。

【図3】補剛材で被覆された図2の半導体ウェーハを示す図である。

【図4】熱処理段階後にフィルムと基板バルクとの間に劈開が生じたときの、図3の半導体ウェーハと補剛材とのアセンブリを示す図である。

【符号の説明】

1　ウェーハ
4　平面
5　フィルム
6　基板
7　補剛材

【図1】

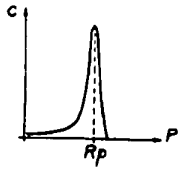


FIG. 1

【図2】

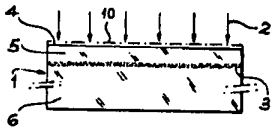


FIG. 2

【図3】

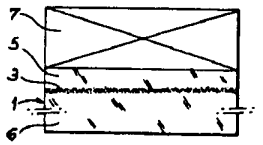


FIG. 3

【図4】

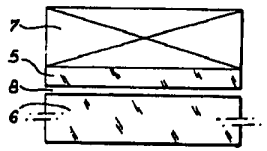


FIG. 4

フロントページの続き

(51)Int.Cl.5	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/12		E 8728-4M		
31/04				
		7376-4M	H01L 31/04	X